

第1部 チップがダメなら パッケージがある

ケータイに定着した3次元実装技術「システム・イン・パッケージ (SIP)」。
携帯型オーディオ機器やPDA、デジカメなどの携帯型機器を先陣に
将来はネットワーク家電にまでその活躍の場を広げていくだろう。
何よりもスピードが優先されるこれからの機器開発に
必要な半導体チップや個別部品を自由に組み合わせられるSIPはうってつけといえる。
もはやパッケージはチップや部品を収める「ただの箱」ではない。
競争を勝ち抜くための付加価値を生み出すプラットフォームとなる。

パッケージの中に所望のメモリやマイコン、受動部品を複数詰め込み、内部で3次元的に接続する。これを実現するLSI実装技術が「システム・イン・パッケージ (SIP)」(図1)。現在は携帯電話機に定着したところだが、携帯型オーディオ機器やPDA、デジカメなどの携帯型機器に浸透するのも遠い将来の話ではない(図2)。

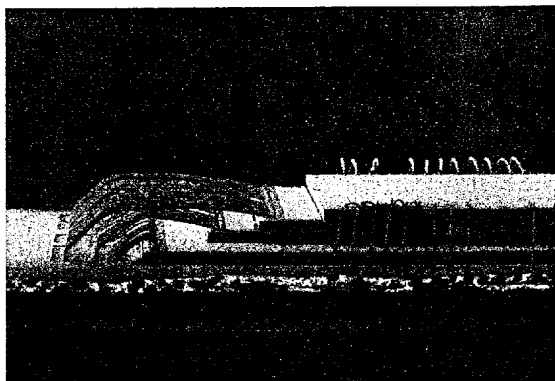
SIPは機器設計者にとって、設計の自

由度を高める強力な手駒になる。所望の機能を1チップにまとめるか、あるいは個別のLSIや部品をボード上に実装するか。新製品を開発するときには機器設計者は、このどちらかを最終的な実装手段として決断するしかない。これまでのように半導体の微細化が順調に進んでいるときは「1チップ化した方が実装面積を小さくできるし、高速動作が可能で、消費電力も抑えられる」ことが

いわば「常識」だった。それが常識ではなくなろうとしている。微細化に伴う製造コストの急騰と設計開発期間の長期化で、1チップ化はとてつもなく高コストで時間のかかる手段になろうとしている(図3)。

こうした状況の中SIPは、いわば現実的な最適解として名乗りを上げた格好になる。1チップ化で実現するべくもないとあきらめていた多機能のLSIが、SIP

(a) シャープの4チップ積層型メモリ



(b) 富士通の2チップ積層型論理LSI

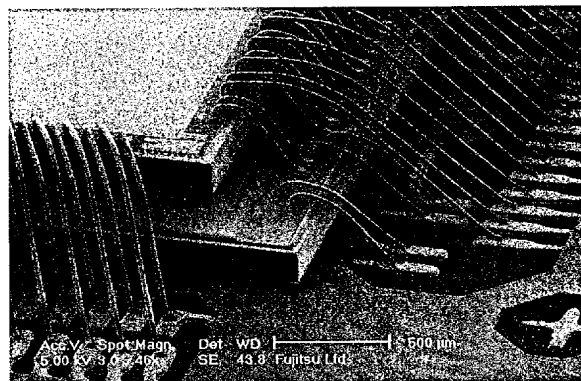


図1 採用が進むSIP
シャープは、2001年末から4チップ積層型CSPメモリの量産を開始した(a)。上から順に4MビットSRAM、16MビットNOR型フラッシュEEPROM、16Mビット疑似SRAM、64MビットNOR型フラッシュEEPROMである。このCSPメモリを搭載した携帯電話機は間もなく市場に登場する。富士通はMPEG2エンコーダLSI(上段)とFCRAM(下段)を積層したSIPの量産を2002年4月から始める(b)。(写真：(a)シャープ、(b)富士通)

なら安く手に入るかもしれない。パッケージ内では複数のチップが3次元的に積み上げられている(積層されている)ので、1チップにするよりも実装面積を小さくできる可能性がある。しかも、1チップ化するときとは比べものにならないほど機能を変更しやすく、かつ開発期間が大幅に短い。

国内半導体メーカーが本腰

SIPというアイデアそのものは、昔からあった。それがにわかには現実味を帯びてきたのは、国内の半導体メーカーが導入実績を糧にSIPへと舵を切り始めたことが大きい。

例えばシャープ。未曾有の半導体不況が続く中、IC事業で同社は2001年度上期に黒字を維持した。好業績のけん引役を「携帯電話機向けSIP」(同社代表取締役専務 経理本部長の佐治寛氏)と認める。1998年4月から量産を始めた2チップ積層型のメモリをきっかけに、2002年第2四半期には4チップ積層型メモリを月産100万個生産する計画だ。

「SIPを使わなければ機器メーカーが要求する外形寸法は実現できなかった」。こう明かすのが、松下電器産業の國友美信氏^{注1)}である。同社はある機器メーカーのテレビ電話機能付き携帯電話機に、ベースバンド・プロセッサとアプリケーション・プロセッサを積層させたSIPを

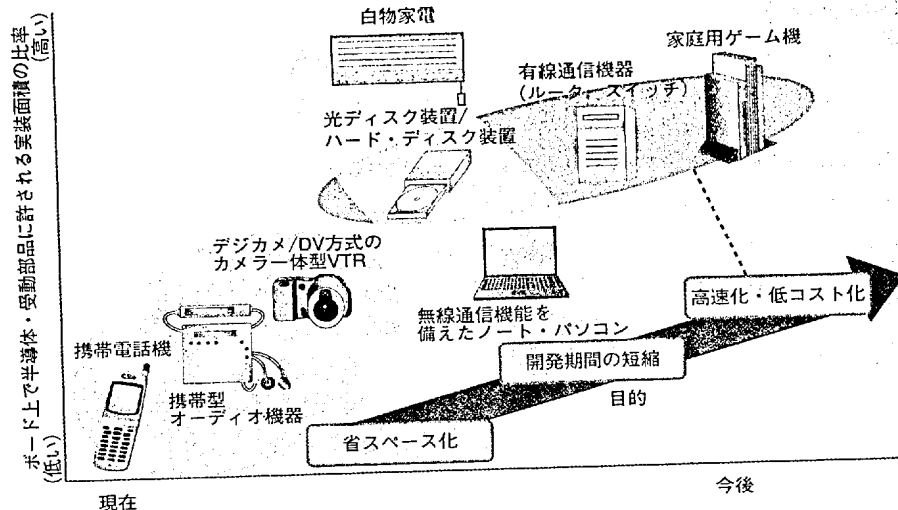


図2 ケータイからあらゆる機器へ
現在、SIPの主な用途はケータイである。SIPの用途は今後、省スペース化の要求が厳しい機器から広がっていく。次に、LSIの開発期間の携帯型オーディオ機器、デジタルカメラ、DV方式のカメラ一体型VTRに採用される方向である。次に、LSIの開発期間の短縮が求められる用途に移る。光ディスク装置、ハード・ディスク装置、白物家電、無線通信機能を備えたノート・パソコンなどである。例えばプログラム容量が絶え間なく増え続けるマイコンで開発期間短縮の効果は大きい。さらに、SOC(system on a chip)と同等以上の高速化を低コストで達成したい用途が対象になる。ルータやスイッチ、家庭用ゲーム機などで、DRAM混載LSIの置き換えが始まる可能性がある。

納入している(p.106の図)。必要なLSIを先端の微細加工技術を使って製造し、それらをパッケージ内部で積層することで、1チップ化の限界を超える実装密度を実現できるという。同社はケータイへの採用を足掛かりに、「今後、画像端末、音楽端末、白物家電、ナビゲーション機器などSIPを全方位展開する」(同氏)方針である^{注2)}。

SIPによりそれまで劣勢だった商談を巻き返して、MPEG2エンコーダLSIの受注を獲得したのが富士通である。「SIP専用メモリを開発し、競合他社を

上回る省スペース化・低消費電力化を達成したことが決め手になった」(同社電子デバイス事業本部 LSI実装統括部第二開発部)とする。

究極の「量産試作」チップはSIP

ケータイからさまざまな機器へというSIPの動きは、一過性のものではなく、1つの大きな流れとなりそうだ。「スピード」がますます重要になる機器開発の方向性とSIPのベクトルは合致している。優れた性能を持つ機器を短い開発期間で市場に投入するという本質は変

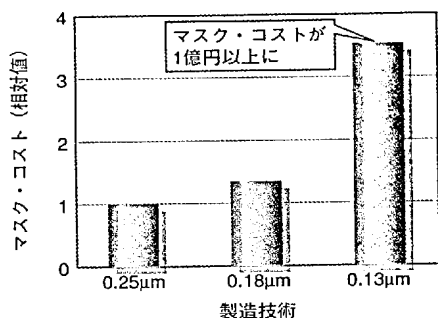
注1) 肩書は「半導体社 事業本部 生産技術センター パッケージ開発グループ グループマネージャー」。

注2) 松下電器産業は、携帯電話機向けSIPのアプリケーション・プロセッサ(マイクロプロセッサ・コアとDSPコアで構成)を、他の用途にSIPを展開していく上でプラットフォーム・チップとして位置付ける。例えば、音楽端末向けには、新たに必要になる機能だけを新規LSIとして開発し、このプラットフォーム・チップと組み合わせる。これにより、開発期間を短縮する。携帯電話機向けのアプリケーション・プロセッサは、最初から他の用途にも転用することを想定して開発したという。

わらない。その上で、ダメならすぐに引
っ退めて、例えば仕様を少し変更（マ
イナーチェンジ）して発売することがヒ

ットにつながるかもしれない。当たり始
めたら、すぐに大量生産に持っていく必
要もあるだろう。

(a) マスク・コストが1億円かかる



(b) 動作時の1/3の電流が待機時にも流れ続ける

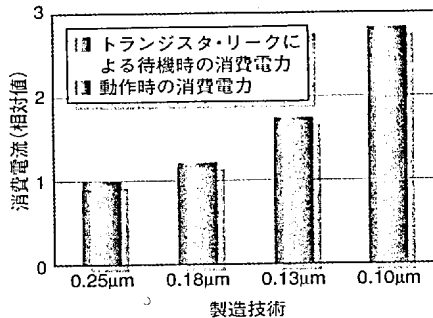


図3 微細化技術に巨大な壁

微細プロセス開発の限界が迫りつつある。微細化の壁は大きく2つある。第1にリソグラフィ・コストの高騰である。例えば、0.25μmでは3000万円程度だったマスク・コストは0.13μmでは1億円に達する（a）。第2に、トランジスタの微細化による弊害が性能面で見え始めている。微細化が進むと、ゲート酸化膜のトンネリング現象により、ゲート漏れ電流が急増する方向である。0.1μm世代では、ゲート漏れ電流による待機電流値が動作電流値の1/3程度に達する可能性が高い（b）。微細化に伴い、配線遅延時間が増大し、高速化が困難になるという問題もある。NECなどの資料を基に作成。

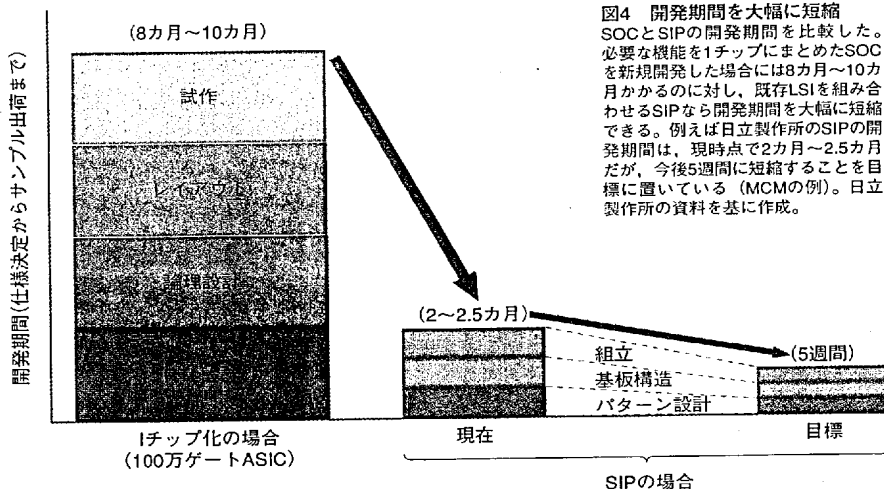


図4 開発期間を大幅に短縮

SOCとSIPの開発期間を比較した。必要な機能を1チップにまとめたSOCを新規開発した場合には8ヵ月~10ヵ月かかるのに対し、既存LSIを組み合わせたSIPなら開発期間を大幅に短縮できる。例えば日立製作所のSIPの開発期間は、現時点で2ヵ月~2.5ヵ月だが、今後5週間に短縮することを目指すに置いている（MCMの例）。日立製作所の資料を基に作成。

こうした機器に使う「量産試作」的なLSIとしてSIPはうってつけた。1チップにまとめてしまうと、チップ・レベル（マスク・レベル）で機能を変更する必要がある。これに対しパッケージ・レベルで機能を変更するSIPの方が、小回りが利きやすい。

パッケージ内部で任意のチップを組み合わされるSIPは、極めて短い期間で所望のLSIを開発できる。既に資産として残っている既存チップ同士を組み合わればいい。「開発済みのチップだけを使えば、LSIの仕様が確定して設計を開始してから3ヵ月程度で顧客に製品を出荷できる」（日立製作所）。これに対して、1チップ化のために100万ゲートASICを最初から開発した場合、設計開始から製品出荷まで8ヵ月~10ヵ月程度かかるという（図4）。

設計・テストの負荷を大幅削減

LSIの機能変更にもSIPは絶大な効果を発揮する（図5）。機能変更の可能性があるブロックを別チップに分けておくことで、1チップにまとめてしまう場合と比べて設計・テストの負荷を大幅に減らせる。携帯電話機の不具合問題などが相次ぐ昨今、「いじらなくて（設計に手を加えなくて）済む部分はできる限りそのまま使いたい」という機器メーカーの要求に応えられる。

注3) 半導体ユーザーとなる機器設計者から見れば、SIPかSOCかは関係ないため、1品種で大量生産できるチップであれば、必要な機能ブロックを1チップ化してSOCを開発した方がSIPよりもコストを下げられる場合がある。こうしたときには、次のような機器設計の手順を踏むことになるだろう。必要な機能をまずSIPに落とし込んで早期に機器を市場投入し、ヒットしそうであれば、SOCに切り替えるという流れだ。機器メーカーがSIPからSOCへ移行するための環境作りも着々と進んでいる。例えば日立製作所は、「SIPで実現した顧客の設計資産は、大量生産が必要とあらば迅速にSOC部隊に引き継げる体制を既に整えている」（同社 半導体グループ カスタムビジネスユニット MCM デザインチーム グループリーダーの菊池隆文氏）。

注4) マスク・コストの急騰という問題を契機に、マスクを使わずに電子ビームによってウエハーに直接描画するリソグラフィ技術（EB直描）に再び脚光が当たり始めている。描画のスループットが低すぎるといって問題を抱えているため、これまでのところ普及に至っていない。光を使った現行のリソグラフィ技術は200mmウエハー1枚当たり約2分で露光できるのに対して、現行のEB直描技術は1ウエハー当たり3~4時間かかる。ここに来て、こうした問題を解決しようとする動きが活発化してきた。例えば、東京大学先端科学技術研究センター 実装工学（IMSI）研究部門教授の奥村勝弥氏は、描画スループットが高く、装置1台当たりの価格が低いEB直描技術を開発中である。[200mmウエハー1枚当たり10分以内の描画スループットを目指す。装置コストは1台当たり10億円以内に抑えることが目標]（同氏）という。

例えば、マイコンの他の機能はそのままにプログラム・メモリ容量だけを増やしたい場合を考える。ROMを除いたマイコンとROMを別チップで用意し、SIPとして準備しておく。こうすれば、ROMだけを大容量のものに変えればよい。マイコンは再設計・再テストの必要なくそのまま使える。

これに対し、従来のROM内蔵マイコンではそうはいかない。ROM容量を増やすと、残りのマイコン部も設計変更が必要になる。チップ全体でのレイアウト最適化が必要になるためだ。「ESD耐性、雑音耐性など、マイコンのテストもやり直さなければならない」（沖電気工業 シリコンソリューションカンパニー LSI事業部 マーケティング部 事業企画チーム 課長の大家充也氏）。

論理回路自体を高速化したいという要求もあるだろう。このとき、パッケージ内のチップ間を数十 μm のバンパで接続すれば、SIPは1チップ化と同等の速度性能を得られる（図6）。それどころか「レイアウトを工夫して配線長を短くすれば、1チップ化を超える高速処理

も可能になる」（ローム LSI開発システム本部 副本部長の持田博雄氏）。

マスク・コストが1億円

SIPにまとめる作業は半導体メーカーが行う。「内蔵するチップとしては大量生産品を使い回せる」（沖電気工業の大家氏）。その組み合わせが極意となる。「外からみるとカスタム品。中の部品としていかに汎用品を使い切れるかが半導体メーカーの腕の見せどころになる」（東芝セミコンダクター社 システムLSI事業部 システムLSIパッケージング・テスト技術開発統括部 統括部長の藤津隆夫氏）⁽³⁾。

かつての半導体メーカーは、特定の要求に応える手段として、所望の機能を1チップにまとめる「SOC (system on a chip)」を前面に打ち出していた。そのトーンが変わりつつある。

「従来は、SIPはSOCまでの『つなぎ』としてしか見ていなかった。しかし『つなぎ』が長期間続きそうだ」（日立製作所 半導体グループ カスタムビジネスユニット MCMデザインチーム グループ

リーダの菊池隆文氏）。これは半導体メーカーにとってのやむにやまれぬ事情によるところが大きい。半導体メーカーは、微細加工技術の進歩に伴い半導体マスクのコストが急騰するという問題に頭を抱えている。1997年に量産が始まった0.25 μm 技術では、あるLSIの製造に必要なマスク・セットのコストが3000万円程度だった。1999年の0.18 μm 技術では4000万円～5000万円程度で済んでいた。

しかし、2001年に先行メーカーが量産を始めた0.13 μm 技術から状況が一変する。「0.13 μm 技術では、マスク・コストが1億円以上に膨らんだ。2003年に量産が始まる0.1 μm 技術では現段階で値がつけられないほど高い」（東京大学 先端科学技術研究センター 実装工学 (IMSI) 研究部門教授の奥村勝弥氏）⁽⁴⁾。

仮にこの1億円というマスク・コストをかけて製造したLSIの出荷数が10万個しかなかった場合、LSI1個当たりのマスク・コストだけで1000円になる。ほかにもLSIの設計・製造にはさまざまなコストが掛かるので、「少なくとも1チ

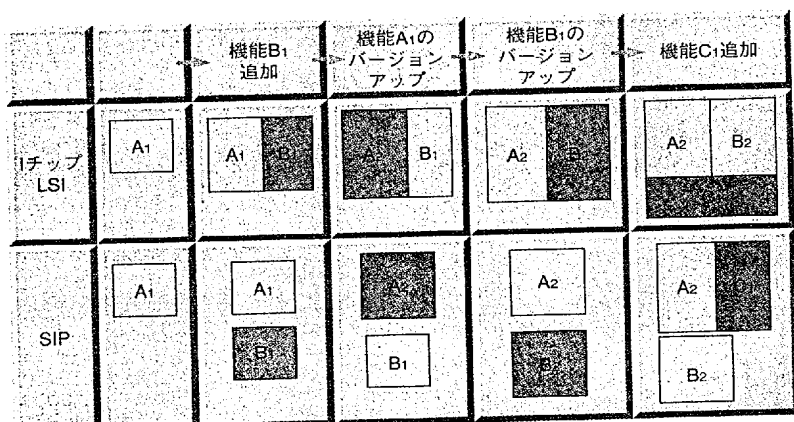
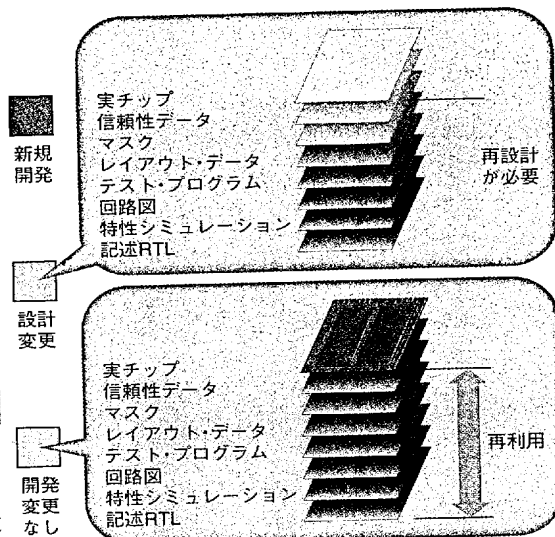


図5 LSIの機能変更が容易に。LSIに機能を追加する場合の実現手法を、SOC（1チップ化）とSIP（2チップ構成）について比較した。例えばA₁という機能を持つLSIに新機能B₁を追加する場合を考える。A₁とB₁を1チップ化するためには、B₁の新規開発だけでなく、レイアウトを最適化するためにA₁の設計変更も必要になる。これに対して、SIPの構成を採れば、B₁の新規開発だけで済む。A₁は以前の設計をそのまま踏襲できるため、設計変更に伴う不具合などのリスクが減る。松下電器産業とロームの資料を基に作成。



ップ3000円以上の価格で売れなければ、とても半導体メーカーとしてビジネスが成立しない」(東京大学の奥村氏)。価格破壊が進むこのご時世に、LSIを1個当たり3000円以上で購入してくれる機器メーカーは決して多くはない。

「プリント回路基板は1層でよい」

半導体メーカーは、SIPをさまざまな機器向けに展開していくため、低コスト化をはじめとした技術開発を加速させている(pp. 114-127の第2部「メモリで先陣切り、システムを丸ごと飲み込む」参照)。「メモリで練習してSIP技術を立ち上げた。今後はより大規模な論理回路をSIPで実現していく」(東芝セミコンダクター社の藤津氏)「SIPはメモリ同士の組み合わせに閉じる技術ではない。さまざまな用途に使える」(シャープ IC開発本部 プロセス開発センター パッケージ技術部 部長の嘉田守宏氏)と意気込みを見せる。

とくに、これからSIP事業に本格的に打って出ようとする半導体メーカーの鼻

息は荒い。例えば、半導体最大手でエレクトロニクス業界全体への影響力が大きい米Intel Corp.は、新開発した20GHz動作のマイクロプロセッサ向けパッケージ技術「BBUL (Bumpless Build-Up Layer)」を将来、SIPに展開させることを検討している。BBUL技術を使って、現在はプリント回路基板上に個別に実装されているマイクロプロセッサ、メモリ、グラフィックスLSI、チップセットを1パッケージ内に収めようとする目論んでいる(図7)。

三洋電機は、他社の多くがLSIのみの積層を想定した技術開発を重視する中、LSIだけでなく複数の受動部品までも取り込めるSIP技術「ISB (Integrated System in Board)」を武器にSIPビジネスに参入した。「例えば携帯機器のすべての機能を3つぐらいのモジュールに落とし込めれば、それらを実装するプリント回路基板は1層でよい」(同社 セミコンダクターカンパニー システム モジュール事業部 事業部長の阪本純次氏)。

半導体メーカーだけではなく、パッケ

ージ・メーカーも虎視眈々である。セラミックス基板で絶対的な自信を持つ京セラは、SIP向けパッケージのロードマップにおいて、2004年ごろに複数の受動部品をパッケージ内のインターポーザ(基板)に内蔵させる計画を打ち出している。受動部品を取り込みやすい材料であるセラミックス基板の優位性を前面に押し出す。「有機基板では難しい受動部品の内蔵もセラミックス基板を使えば容易に実現できる」(同社 半導体部品事業本部 半導体部品事業推進部マーケティング部 責任者の嶋田誠氏)。

業界の枠を超えた競争へ

半導体メーカーやパッケージ・メーカーの思惑通りにSIPが機器メーカーの間に浸透すれば、こんなにうまみのあるビジネスはない。これまでASIC、SOCと手を変え品を変えて、機器設計という付加価値を取り込もうとしていた半導体メーカーにとっては悲願達成ともいえることになるからだ。

しかし、事はそう簡単ではない。SIP

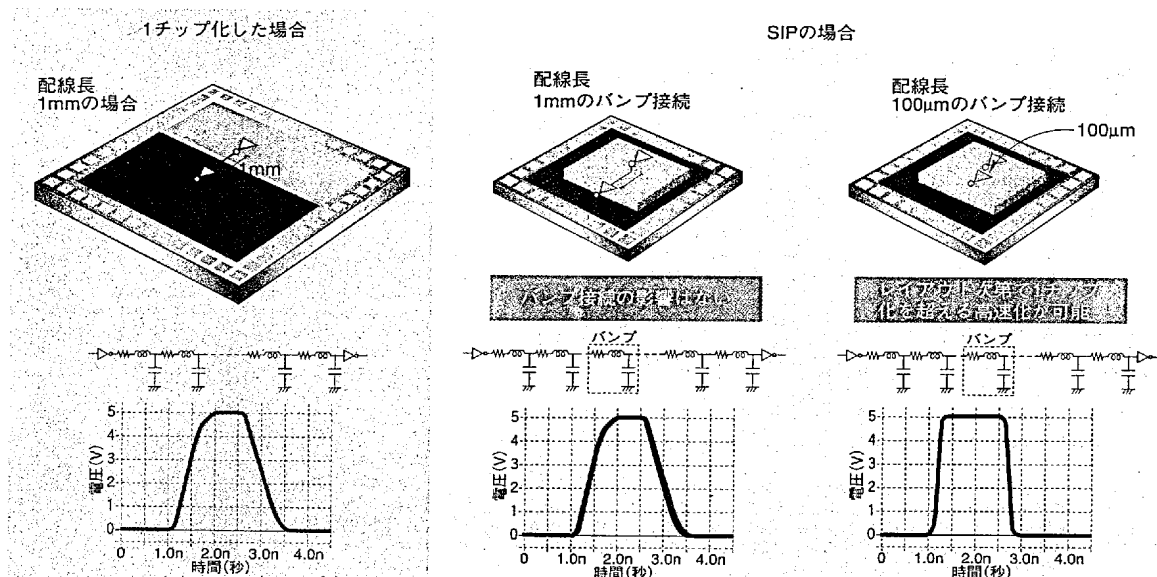


図6 接続方式次第でSOCと同等以上の高速化が可能
SOCとSIPの遅延時間のシミュレーションを行い、高速性を比較した。2つの機能ブロックを1チップ化したSOCと、2つの機能ブロックを別チップで作り両者をバンパ(フリップチップ)接続したSIPを想定する。SOCとSIPで配線長が等しい(1mm)場合、遅延時間はほとんど差がない。バンパ接続の影響は出ていない。レイアウトを工夫し、SIPの配線長を100μmに短縮した場合、SOCよりも高速化が可能になる。シミュレーションで用いたSIPはロームのREAL SOCKETである。(図:ローム)

に対して慎重な見方をする機器メーカーもある。「SIPでは、ベア・チップ(KGD)の品質をどう保証するかがまだあいまい。SIP自身の品質保証をどうするかも課題である。これらの課題は、これまでCSPで対応してきたノウハウの流用だけでは解決しない重要なポイント。半導体メーカーとのさらなる連携が不可欠になる。」(ソニー セミコンダクタネットワークカンパニー 先端実装技術センター 先端実装開発1部 統括部長の石井正美氏)。

半導体メーカー間でベア・チップの流通が実現しなければSIPは普及しないとの見方もある。選択と集中を進める

半導体メーカーにとって、顧客が求める機能すべてを自社製品だけで提供することは極めて難しくなるためだ。それでもベア・チップの調達はやさしいことではない。「設計・製造を併せ持つ垂直統合型半導体メーカーの間では、誰でも作れる標準的なLSIのベア・チップならともかく、各社独自性のあるベア・チップを流通させるのは難しいだろう。今後のカギを握るのは中国や台湾のファウンドリー・メーカーになる。SIP向けベア・チップが世界中からファウンドリー・メーカーに集まり、半導体メーカーがファウンドリーからベア・チップを購入するといった構図が最も可能性が高

い」(東芝セミコンダクター社の藤津氏)。こうなってしまうと、付加価値をファウンドリー・メーカーに総取りされる可能性もある。

ましてやLSIや部品をまとめることができるのは、半導体メーカーやパッケージ・メーカーだけではない。プリント回路基板メーカーも基板の高密度化に躍起になっている。例えば、松下電子部品と日本ビクターは、第3世代携帯電話機などの小型携帯機器に向け、新型多層基板の共同開発に乗り出している¹⁾。

参考文献

- 1) 河合、「松下とビクターが手を組む、多層基板「ALIVH」を改良」、『日経エレクトロニクス』、2002年1月28日号、no. 814、p. 31。

